

Изучение и тестирование open-source маршрута разработки на ПЛИС

Евгений Владимирович Ломов

Московский Государственный Университет имени М.В. Ломоносова

27 мая 2019 г.

Рынок программируемой логики растёт с каждым годом:

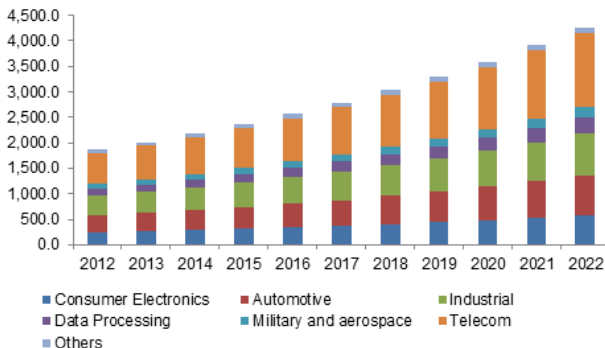


Рис. 1: Asia Pacific FPGA market size, 2012-2022 (USD Million)¹

¹<https://www.gminsights.com/>

Подавляющее большинство дизайнов используют ресурсы платы крайне неравномерно:

Asset name	Utilized	Total available	Percent utilized
Slices	21972	27648	79%
Slice Flip Flops	17994	55296	32%
4 input LUTs	42248	55296	76%
IOs	42		
bonded IOBs	42	633	6%
BRAMs	32	96	33%
MULT18X18s	2	96	2%
GCLKs	1	8	12%

Подавляющее большинство дизайнов используют ресурсы платы крайне неравномерно:

Logic Utilization	Used	Available	Utilization
Number of Slice Latches	202	135,168	1%
Number of 4 input LUTs	83,384	135,168	61%
Number of occupied Slices	42,330	67,584	62%
Number of Slices containing only related logic	42,330	42,330	100%
Number of Slices containing unrelated logic	0	42,330	0%
Total Number of 4 input LUTs	83,424	135,168	61%
Number used as logic	83,384		
Number used as a route-thru	40		
Number of bonded IOBs	96	768	12%
Number of BUFG/BUFGCTRLs	6	32	18%
Number used as BUFGs	6		
Number of DSP48s	5	96	5%
Average Fanout of Non-Clock Nets	3.78		

Подавляющее большинство дизайнов используют ресурсы платы крайне неравномерно:

Resources	Value
Selected device	XC3S400-4 PQ208
Number of slices	1265 out of 3584 [35%]
Number of Slice flip flops	632 out of 7168 [8%]
Number of 4 input LUTs	2038 out of 7168 [28%]
Numbers used as logic	127
Numbers used as shift registers	127
Number of IOs	264
Number of bonded IOBs	52 out of 264 [20%]
Number of MULT18X18s	6 out of 16 [38%]

Подавляющее большинство дизайнов используют ресурсы платы крайне неравномерно:

Logic Utilization	Used	Available	Utilization
Slice Flip Flops	426	22,528	1%
4 input LUTs	2,280	22,528	10%
Occupied Slices	1,309	11,264	11%
Bonded IOBs	274	375	73%
MULT18X18SIOs	22	32	68%

Подавляющее большинство дизайнов используют ресурсы платы крайне неравномерно:

Logic Utilization	Used	Available	Utilization
Slice Flip Flops	426	22,528	1%
4 input LUTs	2,280	22,528	10%
Occupied Slices	1,309	11,264	11%
Bonded IOBs	274	375	73%
MULT18X18SIOs	22	32	68%

Вывод: для повышения эффективности устройств нужны ПЛИС с нестандартными характеристиками.

- Изучение пригодности open-source маршрута для проектирования на ПЛИС

Цели и задачи

- Изучение пригодности open-source маршрута для проектирования на ПЛИС
- Тестирование открытых инструментов разработки

Цели и задачи

- Изучение пригодности open-source маршрута для проектирования на ПЛИС
- Тестирование открытых инструментов разработки
- Тестирование работоспособности модели ПЛИС, разработанной в Лаборатории инженерной физики.

Исследуемые программы

В работе изучались следующие программные пакеты:

- Yosys
- ABC
- Verilog-to-routing

Исследуемые программы

В работе изучались следующие программные пакеты:

- Yosys
- ABC
- Verilog-to-routing

Yosys

открытый пакет для синтеза языка Verilog.

Исследуемые программы

В работе изучались следующие программные пакеты:

- Yosys
- ABC
- Verilog-to-routing

ABC

проект института Беркли по созданию системы логической оптимизации и размещения логических схем на стандартных ячейках (к примеру, на двоичных таблицах поиска).

Исследуемые программы

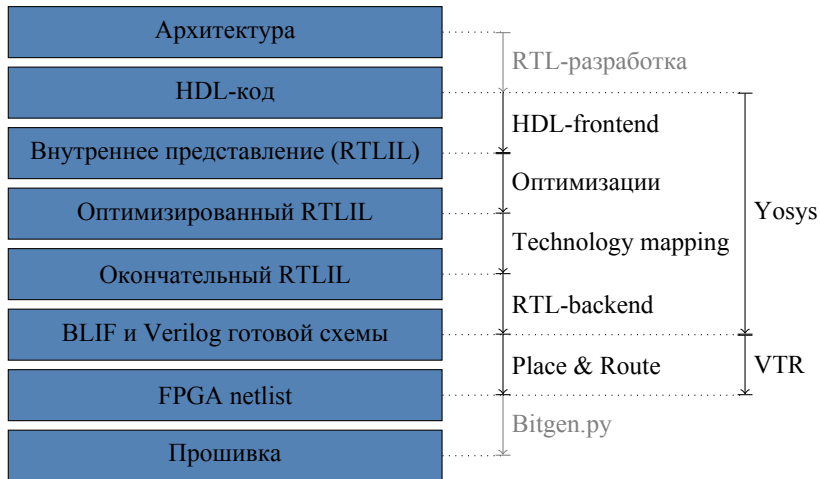
В работе изучались следующие программные пакеты:

- Yosys
- ABC
- Verilog-to-routing

Verilog-To-Routing

САПР, созданная для исследования новых архитектур ПЛИС и алгоритмов Place&Route-стадий процесса разработки.

Процесс разработки



Были протестированы следующие VHDL-frontend'ы:

- Yodl
- vhdl2vl
- ghdl synth

Для начала полный маршрут был пройден на простых дизайнах:

- fifo
- md5
- counter
- sha
- sha256

Тесты Yosys:

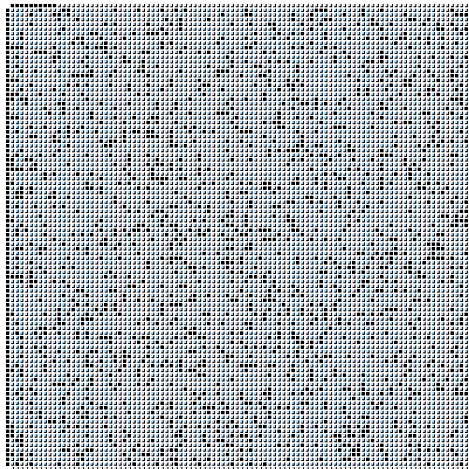
- SDRAM-Controller
- Amber 23
- Amber 25

Тесты VTR:

- SDRAM-Controller – целевая платформа не поддерживает асинхронные защелки
- Amber 23
- Amber 25

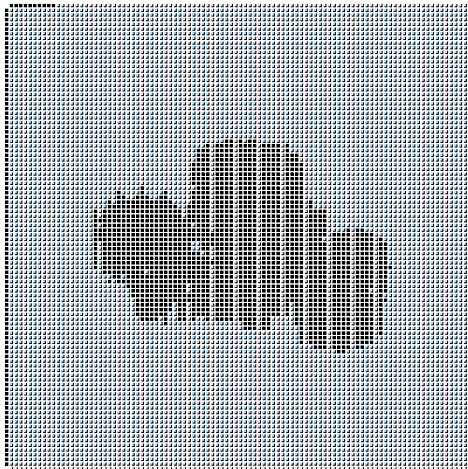
Результаты

	Yosys	Yosys + ABC + VTR	ISE
Количество 4-LUT	234 347	5 748	5079
Critical path	—	61ns	4ns
Тактовая частота	—	16MHz	250MHz

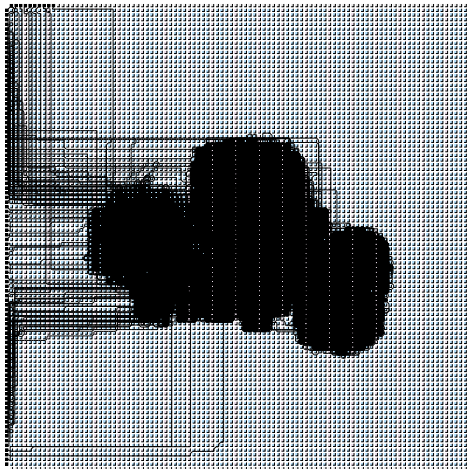


Initial Placement. Cost: 1 BB Cost: 11332.5 TD Cost 6.78195e-05 Delay Cost: 0.000145082 Channel Factor: 64

Результаты

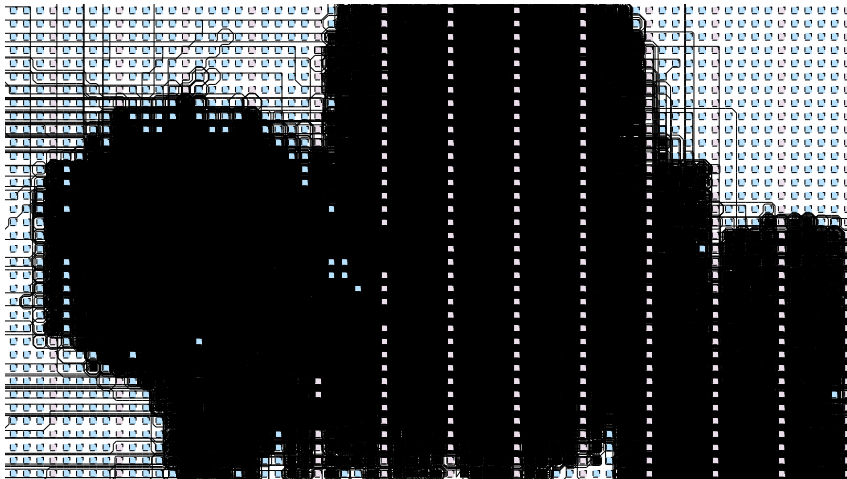


Placement. Cost: 0.99996 bb_cost: 1684.49 td_cost: 7.86302e-11 Channel Factor: 64

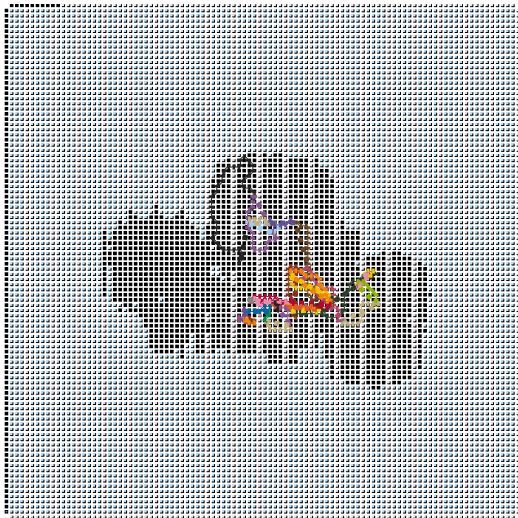


Routing succeeded with a channel width factor of 64.

Результаты



Routing succeeded with a channel width factor of 64.



Routing succeeded with a channel width factor of 64.

Получены следующие результаты:

- 1 Проведена верификация модулей синтеза и мэппинга пакета Yosys

Получены следующие результаты:

- ❶ Проведена верификация модулей синтеза и мэппинга пакета Yosys
 - Yosys успешно отобразил все исследованные дизайны на целевую архитектуру, часть из них была проверена в тестбенчах
 - Проводимые им оптимизации значительно уменьшают размеры нетлистов

Получены следующие результаты:

- ❶ Проведена верификация модулей синтеза и мэппинга пакета Yosys
 - Yosys успешно отобразил все исследованные дизайны на целевую архитектуру, часть из них была проверена в тестбенчах
 - Проводимые им оптимизации значительно уменьшают размеры нетлистов
- ❷ Исследованы процессы размещения и разводения САПР VTR

Получены следующие результаты:

- ❶ Проведена верификация модулей синтеза и мэппинга пакета Yosys
 - Yosys успешно отобразил все исследованные дизайны на целевую архитектуру, часть из них была проверена в тестбенчах
 - Проводимые им оптимизации значительно уменьшают размеры нетлистов
- ❷ Исследованы процессы размещения и разводения САПР VTR
 - Сходимость алгоритма размещения требует установки временных ограничений, в разы превышающих итоговый результат

Получены следующие результаты:

- ❶ Проведена верификация модулей синтеза и мэппинга пакета Yosys
 - Yosys успешно отобразил все исследованные дизайны на целевую архитектуру, часть из них была проверена в тестбенчах
 - Проводимые им оптимизации значительно уменьшают размеры нетлистов
- ❷ Исследованы процессы размещения и разводения САПР VTR
 - Сходимость алгоритма размещения требует установки временных ограничений, в разы превышающих итоговый результат
- ❸ Протестирована модель ПЛИС, созданная в лаборатории инженерной физики

Получены следующие результаты:

- ❶ Проведена верификация модулей синтеза и мэппинга пакета Yosys
 - Yosys успешно отобразил все исследованные дизайны на целевую архитектуру, часть из них была проверена в тестбенчах
 - Проводимые им оптимизации значительно уменьшают размеры нетлистов
- ❷ Исследованы процессы размещения и разводения САПР VTR
 - Сходимость алгоритма размещения требует установки временных ограничений, в разы превышающих итоговый результат
- ❸ Протестирована модель ПЛИС, созданная в лаборатории инженерной физики
 - Коммутационная сеть модельного ПЛИС недостаточно плотна
 - Бутылочное горлышко – скрипт конвертации нетлистов

Спасибо за внимание!